



UNIVERSIDADE CATÓLICA DE PELOTAS
Escola de Informática

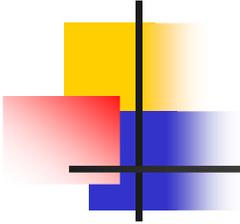


Programa de Pós-Graduação em Informática
Mestrado em Ciência da Computação

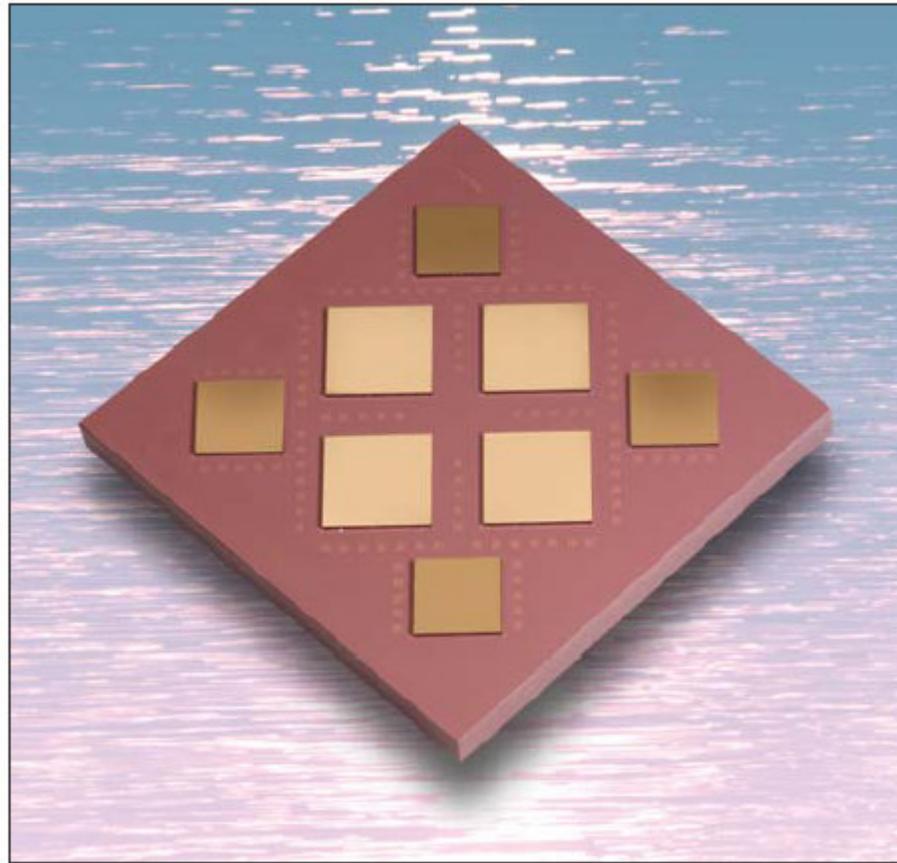
A organização e arquitetura do microprocessador IBM Power5

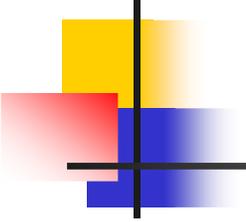
Arquitetura e Organização de Computadores

Rodrigo Santos de Souza



IBM Power5

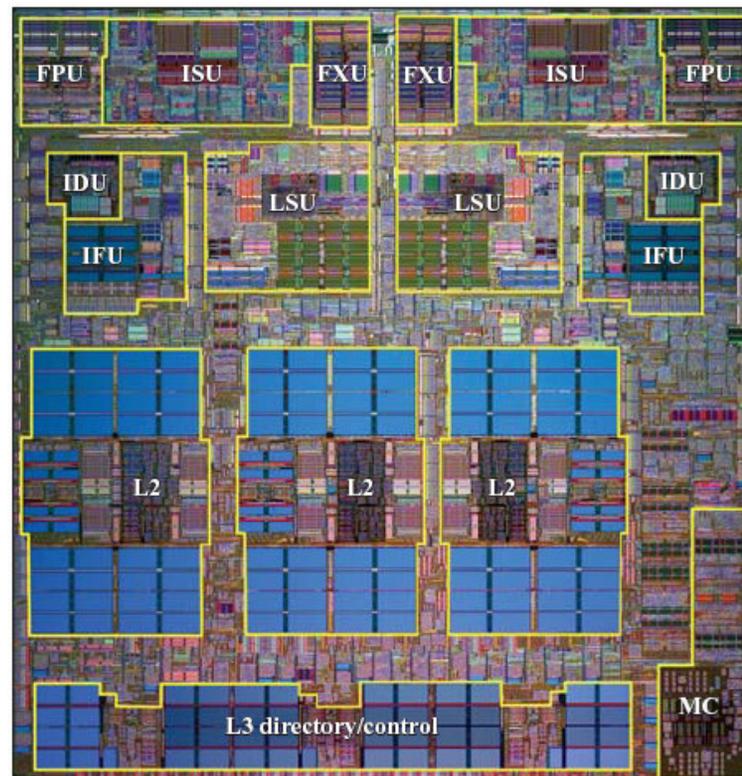


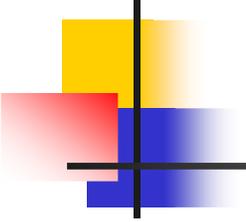


Visão geral do chip

- Dois cores
- RISC de 64 bits
- Três níveis de cache
- Possui SMT
- Possui 276 milhões de transistores
- Área de 389mm²
- Tecnologia 130 nanômetros e Silicon-On-Insulator (SOI)

Visão geral do chip

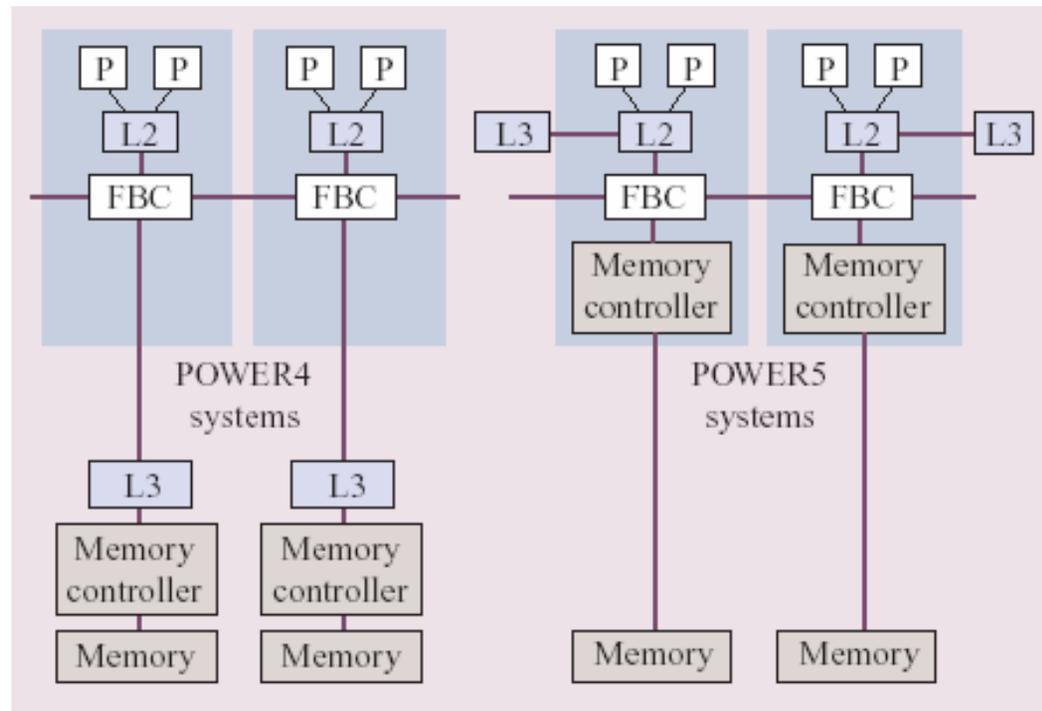


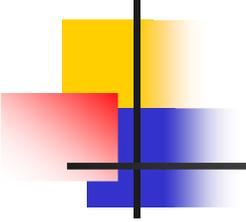


Gerência de memória

- Cache L1
 - Dentro de cada chip
 - Dados: 32KB / associativa / 4 vias
 - Instruções: 64KB / associativa / 2 vias
- Cache L2
 - Compartilhada
 - Dividida em três partes iguais (slice)
 - 1,875 MB / set-associative / 10 vias
 - Controladores independentes
- Cache L3
 - Fora do chip
 - Controlador e Diretório dentro do chip
 - 36 MB / set-associative / 12 vias
 - Dividida em três partes iguais (slice)
 - Um barramento de leitura e outro de escrita
- Memória Principal
 - Controlador que fica dentro do chip
 - Dois barramentos unidirecionais
 - DDR ou DDR2 (dependendo do modelo)

Gerência de memória

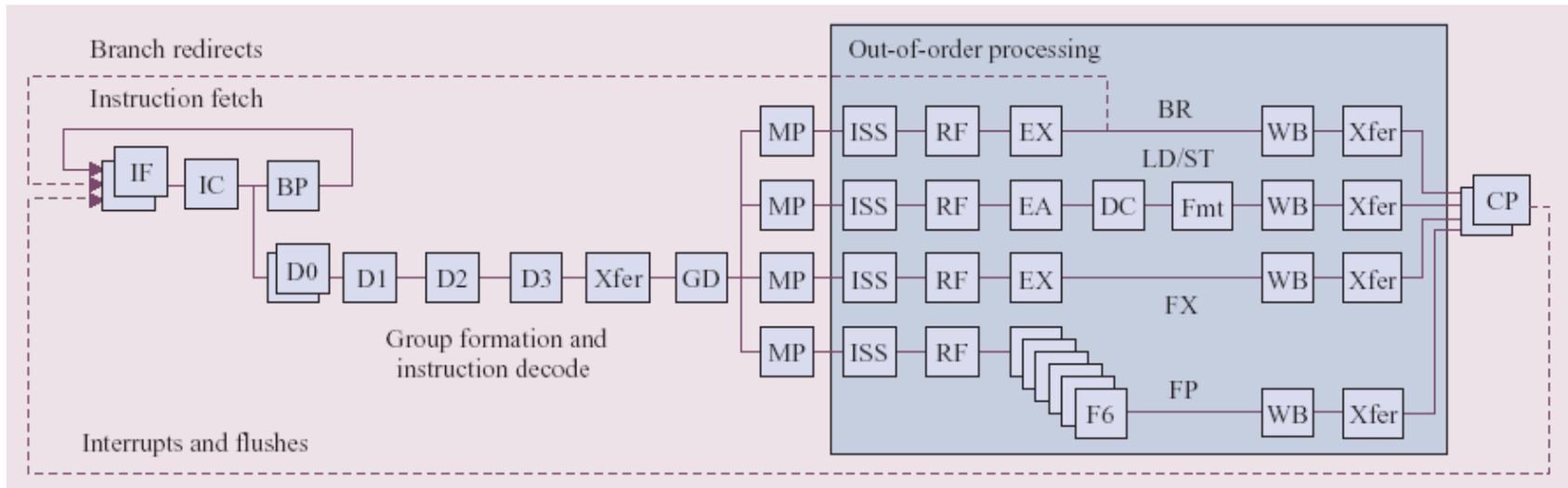




Pipeline de instruções

- O modelo de execução fora de ordem
- Possui oito unidades de execução
 - 2 unidades para ponto flutuante
 - 2 unidades de loadstore
 - 2 unidades para operações com ponto fixo
 - 1 unidade para branch
 - 1 unidade para operações lógicas
- Previsão de desvio
 - Três tabelas de histórico: uma para Previsão Bimodal outre para Correlacionada e a terceira para avaliar qual a melhor a ser utilizada
- Separa instruções em grupos

Pipeline de instruções



IF: instruction fetch

D0: decode stage 0

MP: mapping

EX: execute

Fmt: data format

F6: six-cycle floating-point execution pipe

IC: instruction cache

Xfer: transfer

ISS: instruction issue

EA: compute address

WB: write back

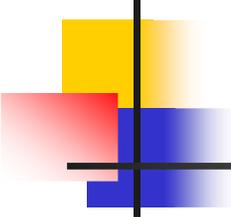
BP: branch predict

GD: group dispatch

RF: register file read

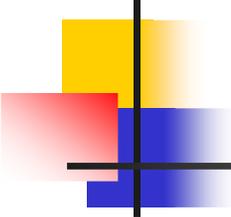
DC: data caches

CP: group commit



Paralelismo em nível de thread

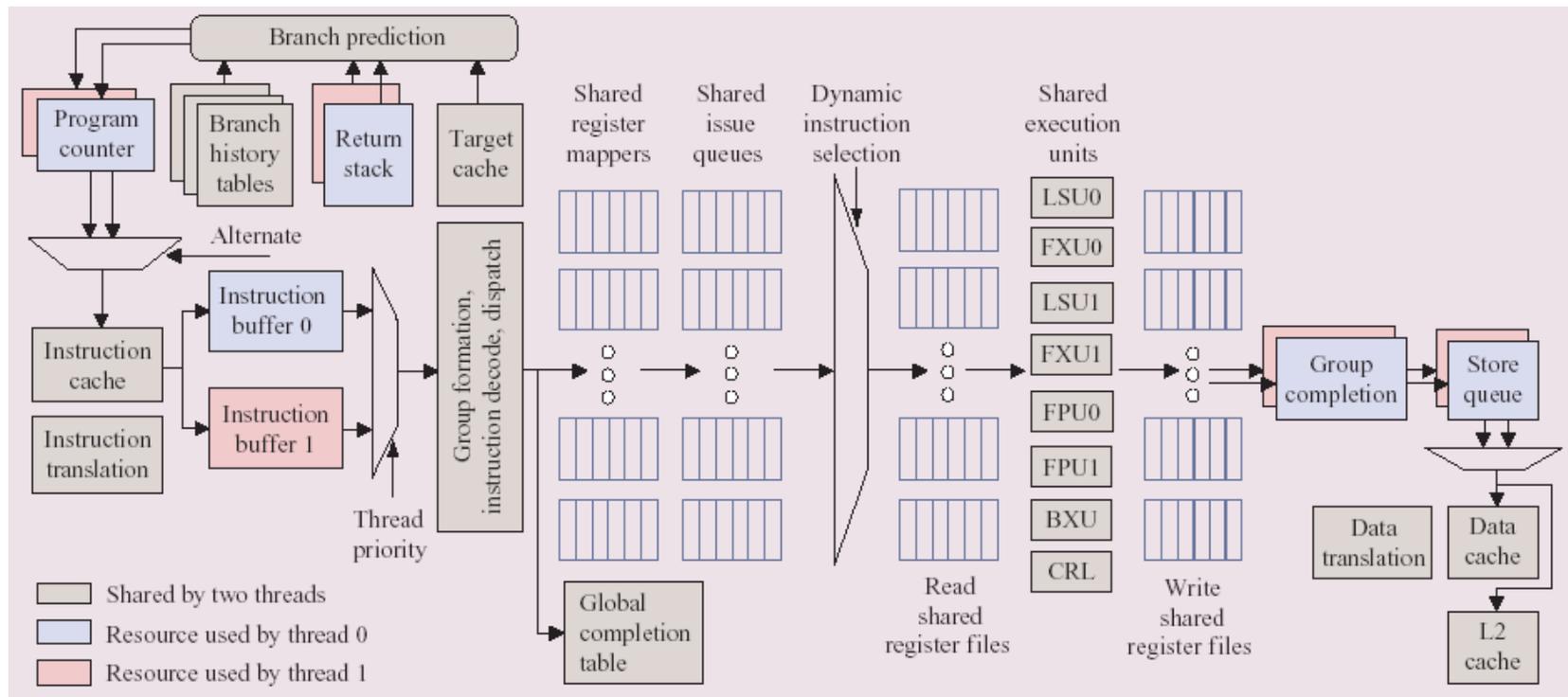
- Métodos básicos:
 - coarse-grain multithread
 - fine-grain multithread
 - simultâneo multithread (usado pelo Power5)
- Modos de operação no Power5
 - SMT
 - ST

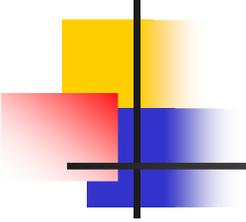


Paralelismo em nível de thread

1. Busca de 8 instruções a cada ciclo
2. É feita a previsão de branch
3. Armazena as instruções em 2 buffers (um por thread)
4. Formação de grupos de acordo com prioridade das threads(5 instruções cada – cada grupo possui instruções de uma única thread)
5. Decodificação de todo grupo em paralelo
6. Grupos são despachados quando os recursos estiverem disponíveis
7. Renomeação e mapeamento dos registradores lógicos em físicos
8. As instruções são colocadas na fila de despacho e as informações do grupo é gravada na tabela GCT(Group Completion Table)
9. A delegação é feita quando os dados de entrada das instruções estiverem disponíveis (sem distinção de grupo, thread ou prioridade)
10. As instruções são executadas (até 8 em paralelo)
11. Os resultados são gravados nos registradores físicos
12. Assim que todas instruções do grupo tiverem terminado o grupo é liberado

Fluxo de Instruções





Referências

- Sinharoy, B., Kalla, R. N., Tendler, J. M., Eickemeyer, R., J. and Joyner, J.,B. (2005) "POWER5 system microarchitecture", In IBM J. Res. & Dev. vol. 49 num. 4/5, p. 505-521
- Kalla, R., Sinharoy, B., Tendler, J. M., (2004) "IBM Power5 Chip: A dual-core Multithreaded Processor", Micro, IEEE, Vol. 24, Issue 2, p. 40 – 47
- Tendler, J. M., Dodson, S., Fields, S., Le, H., Sinharoy, B. (2001) "POWER4 System Microarchitecture", Technical White Paper, IBM Server Group, <http://www-03.ibm.com/servers/eserver/pseries/hardware/whitepapers/power4.pdf>